

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-043413
 (43)Date of publication of application : 08.02.2002

(51)Int.Cl. H01L 21/76
 H01L 21/3065

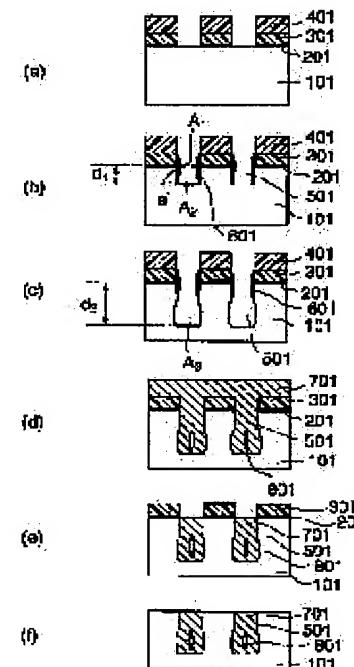
(21)Application number : 2000-223450 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 25.07.2000 (72)Inventor : YAHASHI KATSUNORI
 SHIMONISHI SATOSHI
 HONJO MASUSHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a highly reliable semiconductor device in which breakdown strength of an element isolation area or a well isolation area is maintained and which can satisfy accuracy in embedding an insulating substance in a trench constituting such areas, and to provide a method for manufacturing the semiconductor device.

SOLUTION: The shape of the trench in the element isolation area in a well or in the well isolation area between wells is devised to form a taper trench close to the surface of a semiconductor substrate and a lower trench connected to the taper trench whose bottom width is more than that of the taper trench.



LEGAL STATUS

[Date of request for examination] 13.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than abandonment
 the examiner's decision of rejection or
 application converted registration]

[Date of final disposal for application] 17.01.2005

[Patent number]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-43413

(P2002-43413A)

(43)公開日 平成14年2月8日 (2002.2.8)

(51)Int.Cl.⁷

H 0 1 L 21/76
21/3065

識別記号

F I

テ-マコ-ト^{*} (参考)

H 0 1 L 21/76
21/302

L 5 F 0 0 4
J 5 F 0 3 2

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21)出願番号 特願2000-223450(P2000-223450)

(22)出願日 平成12年7月25日 (2000.7.25)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 矢橋 勝典

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 下西 聰

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74)代理人 100083161

弁理士 外川 英明

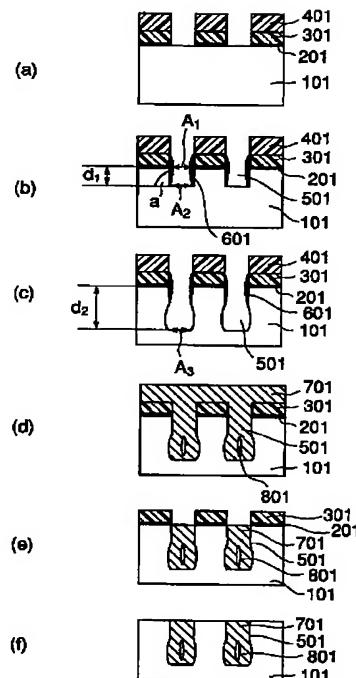
最終頁に続く

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】半導体装置の素子分離領域またはウエル分離領域の耐圧性の維持、またそれらを構成するトレンチ内への絶縁性物質の埋め込み精度を満足させる信頼性の高い半導体装置及びその半導体装置の製造方法を提供する。

【解決手段】本発明では、ウエル内の素子分離領域またはウエル間のウエル分離領域のトレンチの形状を工夫し、半導体基板表面に近い位置には順テーパー状のトレンチを、それに接続する下方のトレンチは底面部の幅が順テーパー状のトレンチの底面幅以上になるような形状に形成する。



【特許請求の範囲】

【請求項1】半導体基板上にマスクパターンを形成する工程と、

前記マスクパターンを用いて前記半導体基板をエッチングし、前記半導体基板に、第1の深さに達しかつ第1の底面幅を有する順テーパー状の第1のトレンチを形成する工程と、

前記順テーパー状の第1のトレンチが形成された前記半導体基板をエッチングし、前記半導体基板の前記第1の深さから第2の深さに達し、前記第1の底面幅以上の大さの第2の底面幅を有する第2のトレンチを形成する工程と、

前記順テーパー状の第1のトレンチ及び前記第2のトレンチの内部に絶縁性物質を埋め込み、絶縁分離領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記絶縁性物質は、シリコン酸化膜であることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】前記シリコン酸化膜は、TEOS膜、高密度プラズマ膜または有機シリコン酸化膜であることを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】半導体基板上にマスクパターンを形成する工程と、

前記マスクパターンを用いて前記半導体基板を異方性エッチングし、前記半導体基板に、第1の深さに達しかつ第1の底面幅を有する順テーパー状の第1のトレンチを形成する工程と、

前記順テーパー状の第1のトレンチが形成された前記半導体基板を等方性エッチングし、前記半導体基板の前記第1の深さから第2の深さに達し、前記第1の底面幅以上の大さの第2の底面幅を有する第2のトレンチを形成する工程と、

前記順テーパー状の第1のトレンチ及び前記第2のトレンチの内部に絶縁性物質を埋め込み、絶縁分離領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】前記異方性エッチング及び前記等方性エッチングは、塩素及び酸素を含むガスを用いて行われることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】前記異方性エッチングは塩素、酸素及び窒素を含むガスを、前記等方性エッチングは塩素及び酸素を用いて行われることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】前記異方性エッチング及び前記等方性エッチングはフッ素及び酸素を含むガスを用いて行われることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】前記異方性エッチングは、前記順テーパー状の第1のトレンチの側壁上に反応生成物を堆積せながら行われることを特徴とする請求項4乃至7のいずれ

か一つに記載の半導体装置の製造方法。

【請求項9】前記絶縁性物質は、シリコン酸化膜であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項10】前記シリコン酸化膜は、TEOS膜、高密度プラズマ膜または有機シリコン酸化膜であることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】半導体基板上にマスクパターンを形成する工程と、

前記マスクパターンを用いて前記半導体基板をエッチングし、第1の深さに達しかつ第1の底面幅を有する順テーパー状の第1のトレンチを前記半導体基板に複数形成する工程と、

前記順テーパー状の第1のトレンチが形成された前記半導体基板をエッチングし、前記第1の深さから第2の深さに達し、前記第1の底面幅以上の大さの第2の底面幅を有する第2のトレンチを複数形成する工程と、

前記順テーパー状の第1のトレンチ及び前記第2のトレンチの内部に絶縁性物質を埋め込み、複数の絶縁分離領域を形成する工程と、

前記複数の絶縁分離領域の一部を含む領域上に第1のマスクを形成し、この第1のマスクを用いて前記半導体基板の前記第1の領域に一導電型の不純物領域を形成する工程と、

前記一導電型の不純物領域上に第2のマスクを形成し、この第2のマスクを用いて前記複数の絶縁分離領域のうち別の一部を含む第2の領域に逆導電型の不純物領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】前記絶縁分離領域は、複数の半導体素子間、または前記一導電型及び逆導電型の不純物領域間を絶縁分離することを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】半導体基板と、

この半導体基板内に形成された絶縁分離領域とを有し、この絶縁分離領域は、前記半導体基板内に形成され、第1の深さに達しかつ第1の底面幅を有する順テーパー状の第1のトレンチと、前記第1の深さから第2の深さに形成され、前記第1の底面の幅以上の大きさの第2の底面幅を有し、前記順テーパー状の第1のトレンチに接続する第2のトレンチと、

前記順テーパー状の第1のトレンチ及び前記第2のトレンチの内部に埋め込まれた絶縁性物質とを有することを特徴とする半導体装置。

【請求項14】前記絶縁分離領域は、複数の半導体素子間または前記一導電型及び逆導電型の不純物領域間を絶縁分離することを特徴とする請求項13記載の半導体装置。

【請求項15】前記絶縁性物質は、シリコン酸化膜であることを特徴とする請求項13記載の半導体装置。

3
【請求項16】前記シリコン酸化膜は、TEOS膜、高密度プラズマ膜または有機シリコン酸化膜であることを特徴とする請求項15記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、埋め込み型絶縁分離技術を用いた半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、半導体装置の素子分離を行う工程には、素子領域周辺に厚い酸化膜を形成して他の素子領域から絶縁するLOCOS法が用いられてきた。近年、半導体装置の微細化の進展とともに、素子分離には、絶縁分離溝（溝を以下トレンチとする）を用いたShallow Trench Isolation（以下STIとする）法が採用されてきている。このSTI法は、半導体基板に形成されたトレンチ内に絶縁性の物質を埋め込み、隣接する素子領域間を絶縁する絶縁分離技術である。通常のSTI部分のアスペクト比（トレンチの深さ／トレンチの幅）は、通常10以下とされる。以下、このSTI法による素子分離トレンチの形成方法に関して、従来の技術を図6(a)～(e)を用いて具体的に説明する。

【0003】尚、この図6(a)～(e)は、素子分離トレンチの長さ方向に垂直な方向の断面図を表すものである。

【0004】まず、シリコン基板105上にシリコン酸化膜205、シリコン窒化膜305及びシリコン酸化膜405を順次積層形成させ、その後、フォトリソグラフィー技術、ドライエッティング技術を用いて積層のパターンを図6(a)に示すように形成する。

【0005】次に、この積層のパターンの一部である酸化膜405をマスクとして、反応性イオンエッティング

(RIE)法を用いながら図6(b)に示すようにシリコン基板105に素子分離トレンチ507を形成する。素子分離トレンチ507内には、その側壁面に沿って堆積物605が付着している。ここで使用されるエッティングガスは、例えば、各々(1)HBr、Cl₂、O₂、(2)HBr、NF₃または(3)Cl₂、O₂、N₂等からなる混合ガスである。この堆積物605は、シリコン基板105をエッティングして素子分離トレンチ507を形成する際に、基板を構成するシリコンとエッティングガスの一部とが反応して生成された反応生成物である。

【0006】次に、シリコン酸化膜405と素子分離トレンチ507内に付着する堆積物605をウエットエッティングで除去する。そして、露出したトレンチ側壁面に熱酸化法で薄い酸化膜を形成し、この酸化膜を介して、図6(c)に示すようにシリコン酸化膜705を素子分離トレンチ507内全体に埋め込む。ここでは、シリコン酸化膜705として、TEOS(Tetraethoxysilane)膜、高密度プラズマ膜(High-Density-Plasma膜、

以下HDP膜とする)等の埋め込み性の高い膜を使用している。

【0007】次に、シリコン窒化膜305をトップ層として、化学的・機械的研磨法(Chemical Mechanical Polishing法、以下CMP法とする)を用いてシリコン酸化膜705を除去する。その後、図6(d)に示すように、ウエットエッティング法によってシリコン酸化膜705をシリコン基板105の表面と同じ位置まで除去する。

【0008】次に、図6(e)に示すように、所定のエッティング溶液を用いたウエットエッティング法でシリコン酸化膜205、シリコン窒化膜305を除去し、シリコン基板105の表面の平坦化を行う。

【0009】以上のような工程を用いて、半導体基板にSTI法による素子分離トレンチを形成することができる。尚、ソース、ドレイン及びゲート電極等からなる半導体素子は、このSTI法による素子分離トレンチによって囲まれた領域内に形成される。

【0010】近年は、半導体素子が微細化するに伴い、半導体素子の素子分離耐圧やウエル分離耐圧を高める必要が生じてきている。そのために、通常、埋め込み型のSTI法は、ウエル内において隣接する素子領域を電気的に分離するウエル内素子分離領域と、導電性が異なりかつ隣接する複数のウエルを電気的に分離するウエル分離領域等に使用される。ウエル内の素子分離またはウエル間の分離では、電流に対する耐圧性を向上させるために、そのトレンチの側壁のテーパー角を90度に近づけている。トレンチをこのような形状にすると、このトレンチの下方での電流の回り込み、及びそれによって生じる他のウエル領域への導通を阻止することが可能となり、所定電圧を加えた時に半導体装置を安定して動作させることができるからである。

【0011】具体的には、素子分離領域及びウエル分離領域の電流に対する耐圧性を計る上で、一つの数値的な指標としてトレンチの分離距離(=a+b+c、a、c:トレンチの側壁面の長さ、b:トレンチの底面幅、これらを図7に例示)の値が用いられ、この値を大きくすることが即ち電流に対する耐圧性を高めることに繋がるとされる。なぜなら、設計段階で決定された各トレンチの開口幅Aと深さBの値に基づいて、所定の条件でエッティングを行うと、側壁面の長さa、cが自ずと決まるが、底面幅bの値を大きくするとトレンチのテーパー角を90度に近づけることになるからである。

【0012】尚、一般的に、テーパー角の値は180度(トレンチ部の底面幅bと側壁長a、cの一方とがなす角)とし、その値が90度より小さい場合は順テーパー角、90度より大きい場合は逆テーパー角と定義される。

【0013】尚、一般的に、テーパー角の値は180度(トレンチ部の底面幅bと側壁長a、cの一方とがなす角)とし、その値が90度より小さい場合は順テーパー角、90度より大きい場合は逆テーパー角と定義される。

【発明が解決しようとする課題】しかしながら、素子分

離領域とウエル分離領域のトレンチ開口幅の値では、ウエル分離領域の方が3～4倍ほど大きく、前述したような条件で素子分離領域とウエル分離領域とを同時に形成すると、素子分離領域のトレンチ内にシリコン酸化等の絶縁性物質を良好に埋め込むことができなくなる。具体的には、ウエル分離領域で、そのトレンチ側壁のテーパー角を90度に近づけて電流に対する耐圧性を良くしようとすると、逆に、素子分離領域のトレンチのテーパー角が90度を超えた逆テーパー角となって内部への埋め込み精度が低下し、ボイドが生じる。これは、素子分離領域におけるシリコンの被エッチング面積が、ウエル分離領域のそれよりも小さく、エッチング時に生じる反応生成物の生成が少ないためである。実際に、前述した従来のSTI法によれば、素子分離トレンチ507のテーパー角を90度に近づけると、シリコン酸化膜705（例：TEOSを使用）を埋め込む際に内部にボイド805が生じる。そして、図6（e）に示すように、STIの形成された段階で、トレンチ507に埋め込まれたシリコン酸化膜705の表面付近にティボット901と呼ばれる小さな溝が生じる。

【0014】このティボット901がそのままトレンチ507内に残存すると、その後のゲート配線を形成する工程や導電性物質を扱う工程において、ポリシリコンやその他の導電性物質がなかに入り込み、ゲート配線と他の領域に形成される配線または導電物質とが電気的にショートするなどの問題が生じる。

【0015】このように、素子分離領域またはウエル分離領域の耐圧性の維持や、トレンチ内の絶縁性物質の埋め込み精度は、半導体装置の信頼性の観点から各々欠くことのできない重要な問題点であるにも関わらず、従来のSTI法では、これらの全ての精度を満足させることができ非常に困難になってきている。

【0016】従って、本発明の目的は、上記のSTI法における問題を解決し、信頼性の高い半導体装置及びその半導体装置の製造方法を提供するものである。

【0017】

【課題を解決するための手段】この発明による半導体装置の製造方法は、半導体基板上にマスクパターンを形成する工程と、前記マスクパターンを用いて前記半導体基板をエッチングし、前記半導体基板に、第1の深さに達しつつ第1の底面幅を有する順テーパー状の第1のトレンチを形成する工程と、前記順テーパー状の第1のトレンチが形成された前記半導体基板をエッチングし、前記半導体基板の前記第1の深さから第2の深さに達し、前記第1の底面幅以上の大きさの第2の底面幅を有する第2のトレンチを形成する工程と、前記順テーパー状の第1のトレンチ及び第2のトレンチの内部に絶縁性物質を埋め込み、絶縁分離領域を形成する工程とを有することを特徴としている。

【0018】また、この発明による半導体装置は、半導

体基板と、この半導体基板内に形成された絶縁分離領域とを有し、この絶縁分離領域は、前記半導体基板内に形成され、第1の深さに達しつつ第1の底面幅を有する順テーパー状の第1のトレンチと、前記第1の深さから第2の深さに形成され、前記第1の底面の幅以上の大きさの第2の底面幅を有し、前記順テーパー状の第1のトレンチに接続する第2のトレンチと、前記順テーパー状の第1のトレンチ及び前記第2のトレンチの内部に埋め込まれた絶縁性物質とを有することを特徴としている。

【0019】つまり、これらの発明では、ウエル内の素子分離領域またはウエル間のウエル分離領域のトレンチの形状を工夫し、半導体基板表面に近い位置には順テーパー状の第1のトレンチを、それに接続する第2のトレンチは底面部の幅が順テーパー状の第1のトレンチの底面幅以上になるように形成している。従って、これらの発明を用いれば、ウエル内の素子分離領域またはウエル間のウエル分離領域の電流に対する耐圧性及びトレンチ内への絶縁性物質の埋め込み精度を高め、STI法における問題を解決し、信頼性の高い半導体装置及びその半導体装置の製造方法を提供できる。

【0020】

【発明の実施の形態】以下、図1～5を参照しながら、本発明の第1～4の実施の形態について説明する。

【0021】（第1の実施の形態）本実施の形態は、STI法を用いてウエル内に素子分離領域を形成する工程に関するものであり、図1（a）～（f）を用いて説明を行う。一例として、本実施の形態では、ウエル内素子分離領域のアスペクト比を3～4の範囲となるように形成する。図1（a）～（f）は、ウエル内素子分離トレンチの長さ方向に垂直な方向の断面図を表すものであるまずシリコン基板101上に、熱酸化法によって膜厚約6nmのシリコン酸化膜201を形成する。続いて、CVD法を用いて膜厚約100nmのシリコン窒化膜301と膜厚約100nmのシリコン酸化膜401を順次積層し、このシリコン酸化膜401上にフォトレジスト膜を塗布し、フォトリソグラフィー技術を用いてフォトレジスト膜のパターンを形成する。その後、このフォトレジスト膜のパターンをマスクとして用いて、反応性イオンエッチング法（以下RIE法とする）でシリコン酸化膜401、シリコン窒化膜301、及びシリコン酸化膜201をシリコン基板101が露出するまで順次エッチングし、図1（a）に示すように、シリコン基板101上に積層のパターンを形成する。この積層のパターンは、素子分離トレンチ501を形成するためのマスクとして用いられ、シリコン基板101の表面と同位置にある開口幅A1（図1（b）に図示）が約0.15μmとなるように所定の開口幅で形成される。

【0022】次に、図1（b）に示すように、積層のパターンのうちシリコン酸化膜401をマスクとして、RIE法でシリコン基板101を所定の深さd1=10

0 nmまでエッティングする。ここでは、エッティングガスとして、HBr、Cl₂及びO₂を含む塩素系の混合ガスを用いており、各ガスの流量は、HBrを約150ml/min、Cl₂を約150ml/min、O₂を約20ml/minとする。また、圧力を約2.7Pa、基板温度を60℃、RIE装置のRF(=高周波)出力を約500Wとする。この混合ガスは、被エッティング材であるシリコン基板101と反応しながら、蒸気圧の低い酸化物系の反応生成物であるSiBr_xCl_yO_zを生成させる。本実施の形態においては、前述の条件でシリコン基板101をエッティングすると、シリコン基板101の表面から深さd₁=100nm付近の位置まで反応生成物からなる堆積物601を素子分離トレンチ501の側壁面上に残存させることになる。この堆積物601が素子分離トレンチ501の側壁面上に付着した状態でシリコン基板101のエッティングが行われると、図1(b)に示すように、素子分離トレンチ501の断面形状において順テー₁₀パー状(図1(b)に示す角度aが90度より小さい)に形成することができる。

【0023】ここで、順テー₂₀パー状の素子分離トレンチ501において、開口幅A1は0.15μm程度に、深さd₁の位置における第1の底面幅A2の値は0.13μm程度に形成される。

【0024】尚、素子分離トレンチ501全体の深さ(=図1(c)のd₂の位置)に応じて順テー₃₀パー領域のテー₄₀パー角及び深さを調整するためには、テー₅₀パー角はO₂の流量を変化させて反応生成物の生成量を制御すればよく、深さは、それに基づいて所定の時間ドライエッティングを行うことによって調整することができる。本実施の形態では、O₂の流量を0~20ml/minの範囲内とすれば、順テー₆₀パー領域を深さ0nm~100nm(=d₁の位置)の範囲で形成することができる。

【0025】次に、前述した条件でエッティングを継続し、深さd₁=100nmの位置から深さ方向のみならず横方向にもシリコン基板101を等方的にエッティングする。深さd₁の位置までは、添加されたO₂成分が中心となってシリコン基板101と反応し続けて反応生成物を素子分離トレンチ501の側壁面上に堆積させるが、深さ方向にエッティングが進むと堆積物の付着量が少なくなるので、Cl₂によってシリコン基板101が等方的にドライエッティングすることが可能となる。

【0026】ここでは、素子分離トレンチ501の深さd₁以降の領域を所定の時間エッティングしてオーバーハンギング状に形成し、図1(c)に示すように、シリコン基板101の表面から深さd₂=350~400nmに達する素子分離トレンチ501を形成する。ここで、オーバーハンギング状の素子分離トレンチ501において、深さd₂に位置する第2の底面幅A3の値は0.15μm程度となる。

【0027】このようにして、シリコン基板101の表

面から深さd₁=100nmの位置までの素子分離トレンチ501の形状は順テー₁₀パー状に、その位置から所定の深さd₂=350~400nmの位置までは横方向に広がりを有するオーバーハンギング状に形成される。

【0028】以上を踏まえて、素子分離領域の電流に対する耐圧性を示す“分離距離”の値を考えてみる。従来の技術では、素子分離トレンチにおいて(基板の表面と同位置の)最上部の開口幅と深さの値はデバイス設計上ほぼ固定され、絶縁膜の埋め込み精度を考慮して順テー₂₀パー状に形成するとその底面幅は自ずと小さくなる。しかしながら、本実施の形態のような形状の素子分離トレンチを用いれば、第2の底面幅A3の値を大きくすることができ、分離距離の値も大きくなることがわかる。

【0029】次に、ウエットエッティングにより、シリコン酸化膜401と堆積物601を除去して、熱酸化法によって素子分離トレンチ501の側壁の表面を50nm程度に薄く酸化する。その後、この熱酸化膜を介して図1(d)に示すようにシリコン酸化膜701を埋め込む。ここでは、熱酸化膜を形成しながら、RIE法やウエットエッティングで削られた素子分離トレンチ501内のシリコン表面の結晶状態を熱アーチールで整え、シリコン酸化膜701との整合性が良好となった状態で、精度よく素子分離トレンチ501内にシリコン酸化膜701を埋め込むことができる。シリコン酸化膜701には、TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜、または有機シリコン酸化膜等の材料を用いて塗布形成されるSOG(Spin-On-Glass)膜等が使用される。TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜を使用すると、SOG膜と比較して誘電率が高く、他の領域との導通を防止することができるが、多少埋め込み性が劣るので、図1(d)に示すようにトレンチ内部にボイド801が残存する可能性がある。しかしながら、本実施の形態では、従来技術と比較して素子分離トレンチの第2の底面幅A3を1.3~1.5倍ほど大きく形成できるので、電流に対する素子分離領域の耐圧性を十分確保することが可能となる。また、実際に出来うるボイドの大きさも半導体デバイスの特性に影響を与えるほどのものではないので、TEOS膜やHDP膜等は、素子分離トレンチ501を埋め込む絶縁膜として用いることができる。一方、SOG膜を使用すると、素子分離トレンチ501内にボイドを生ずることなく埋め込むことができるが、誘電率が低いので、素子分離トレンチ501の第2の底面幅A3をTEOS膜やHDP膜を使用した場合よりも所定の比率で大きくする必要がある。

【0030】次に、図1(e)に示すように、シリコン窒化膜301上に形成されたシリコン酸化膜701をウエットエッティング及びCMP法で、シリコン基板101の表面とほぼ同位置まで除去する。

【0031】次に、シリコン窒化膜301、シリコン酸

化膜201を所定のエッティング溶液を用いたウエットエッティング法で順次除去して平坦化し、図1 (f) に示すように、STI法を用いた素子分離領域を形成する。

【0032】ここで図示はしないが、ソース、ドレイン及びゲート電極等からなる半導体素子は、この素子分離領域によって囲まれた領域内に通常の工程で形成される。

【0033】本実施の形態では、基板表面付近の深さd1までのトレンチを順テーパー状に形成しており、ボイド等の欠陥を生ずることなく絶縁膜で埋め込むことができる。これより、CMP等の平坦化工程を経ても、前述したようなゲート配線や他の導電領域と接触する可能性の高い素子分離領域にデバイス特性に影響を与えるほどのティボットを発生させることはない。また、深さd1からd2までのトレンチをオーバーハング状に形成しているので、ウエル内素子分離領域の電流に対する耐圧性を高めることができる。具体的には、素子分離トレンチ501において、開口幅A1が第1の底面幅A2に対して1.15倍以上のとき絶縁性物質の埋め込み精度が良く、第2の底面幅A3が第1の底面幅A2の1.15倍程度であるときには、素子分離領域の電流に対する耐圧性が最も良くなることが分かった。

【0034】尚、現在の半導体装置の素子分離トレンチにおいては、耐圧性を高めるために、トレンチ底面部のテーパー角が85～90度の値になるように形成されるようになってきている。従って、素子分離トレンチの深さd1からd2までの領域を、オーバーハング状にエッティングする場合に加え、エッティング条件を調節して図5に示すように垂直(約90度)状に形成してもよい。

【0035】また、本実施の形態で用いた塩素系のエッティングガスに代えて、HBr、SF₆及びO₂を主成分の一例とするフッ素系の混合ガスを使用してシリコン基板101のエッティングを行っても、同様に精度良く素子分離領域用のトレンチを形成することができる。

【0036】(第2の実施の形態) 本実施の形態は、実施の形態1と同様にSTI法によってウエル内に素子分離領域を形成する工程に関するものであり、図2 (a)～(f)を用いて説明を行う。本実施の形態では、一例として実施の形態1と同様に、ウエル内素子分離領域のアスペクト比を3～4の範囲となるように形成する。但し、素子分離領域のトレンチを第1の実施の形態とは異なるエッティングガスを用いて形成する。

【0037】尚、図2 (a)～(f)は、ウエル内素子分離トレンチの長さ方向に垂直な方向の断面図を表すものであるまず、シリコン基板102上に、熱酸化法によって膜厚約6nmのシリコン酸化膜202を形成する。続いて、CVD法を用いて膜厚約100nmのシリコン窒化膜302と膜厚約100nmのシリコン酸化膜402を順次積層し、このシリコン酸化膜402上にフォトトレジスト膜を塗布し、フォトリソグラフィー技術を用いて

フォトレジスト膜のパターンを形成する。その後、このフォトレジスト膜のパターンをマスクとして、反応性イオンエッティング法(以下RIE法とする)でシリコン酸化膜402、シリコン窒化膜302、及びシリコン酸化膜202をシリコン基板102が露出するまで順次エッティングし、図2 (a)に示すようにシリコン基板102上に積層のパターンを形成する。この積層のパターンは、素子分離トレンチ502を形成するためのマスクとして用いられ、シリコン基板102の表面と同位置にある開口幅A4(図2 (b)に図示)が約0.15μmとなるように所定の開口幅で形成される。

【0038】次に、図2 (b)に示すように、積層のパターンのシリコン酸化膜402をマスクとして、RIE法でシリコン基板102を所定の深さd3=100nmまでエッティングする。ここでは、第1のエッティングガスとして、Cl₂、O₂及びN₂を含む塩素系の混合ガスを用いており、各ガスの流量は、Cl₂を約130ml/min、O₂を約5ml/min、N₂を約10ml/minとする。また、圧力を約5.3Pa、基板温度を50℃、RIE装置のRF(=高周波)出力を約500Wに設定する。この混合ガスは、被エッティング材であるシリコン基板102と反応しながら、蒸気圧の低い窒化物系の反応生成物であるSiC_{1-x}O_yN_zを生成させる。本実施の形態においては、前述の条件でシリコン基板102をエッティングすると、窒化物系の反応生成物が生成され、図2 (b)に示すように、シリコン基板102の表面から深さd3=100nm付近まで堆積物602として素子分離トレンチ502の側壁に残存することになる。第1のエッティングガスの成分において、N₂は素子分離トレンチ502の側壁面への反応生成物の堆積をさらに促進させる効果を有する。また、前述した反応生成物SiC_{1-x}O_yN_zは窒化物であるため、被エッティング材であるシリコン基板102とのエッティングの選択比が十分に確保でき、素子分離トレンチを形成するうえでエッティング精度を高めることができる。

【0039】尚、素子分離トレンチ502全体の深さ(図2 (c)のd4の位置)に応じて順テーパー領域のテーパー角及び深さを調整するためには、テーパー角はO₂またはN₂の流量を変化させて反応生成物の生成量を制御すればよく、深さは、それに基づいて所定の時間ドライエッティングを行うことによって調整することができる。本実施の形態では、O₂の流量を0～20ml/minに、またN₂の流量を5～20ml/minの範囲に各々設定すれば、深さ0nm～100nm(=d3の位置)まで順テーパー領域を形成することができるが、一例として、O₂の流量を約5ml/min、また、N₂の流量を約10ml/minとする。

【0040】これより、堆積物602は安定した状態で側壁面上に形成され、素子分離トレンチ502のエッティング精度を高めることができる。この堆積物602が素

子分離トレンチ502の側壁面に付着した状態でシリコン基板102のエッチングが行われると、図2(b)に示すように、素子分離トレンチ502を断面形状において順テーパー状(図2(b)に示す角度bが90度より小さい)に形成することができる。ここで、順テーパー状の素子分離トレンチ502において、深さd3に位置する第1の底面幅A5の値は0.13μm程度となる。

【0041】次に、エッチングの条件を変えて、引き続きシリコン基板102のエッチングを行う。ここでは、第2のエッチングガスとしてC1₂、O₂を含む混合ガスを用いる。この第2のエッチングガスは、N₂を含まないので、シリコン基板102をエッチングする際に発生する反応生成物が、素子分離トレンチ502の側壁面上に堆積することを抑制する。これより、深さd3以降では第2のエッティングガスのうちC1₂がシリコン基板102を等方的にドライエッティングする。従って、図2

(c)に示すように、深さd3からd4(深さd4の位置は350～400nm)までの間で、シリコン基板102のエッティングを深さ方向のみならず横方向にも等方的に行え、精度良くオーバーハング状に形成することができる。その後、エッティングを所定の時間行い、シリコン基板102の表面から深さd4まで達する素子分離トレンチ502を形成する。このようにして、シリコン基板102の表面から深さd3=100nmの位置までの素子分離トレンチ502の形状は順テーパー状に、深さd3の位置から深さd4=350～400nmの位置までは横方向に広がりを有するオーバーハング状に形成される。オーバーハング状の素子分離トレンチ502において、深さd4に位置する第2の底面幅A6の値は0.15μm程度となる。

【0042】ここで、第1の実施の形態と同様の理由から、素子分離の電流に対する耐圧性を示す“分離距離”の値を、従来よりも大きくすることができる。

【0043】次に、ウェットエッティングでシリコン酸化膜402と堆積物602を除去し、熱酸化法によって素子分離トレンチ502の側壁の表面を50nm程度に薄く酸化してから、図2(d)に示すように、この熱酸化膜を介してシリコン酸化膜702を埋め込む。ここでは、第1の実施の形態と同様に、素子分離トレンチ502内のシリコン表面の結晶状態を熱アニールで整えてるので、絶縁性物質を精度よくその内部に埋め込むことができる。また、第1の実施の形態と同様に、シリコン酸化膜702には、TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜、SOG(Spin-On-Glass)膜(例:有機シリコン酸化膜)等が使用される。TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜はSOG膜よりも誘電率が高く、他の領域との導通を防止することができるが、多少埋め込み性が劣るので、トレンチ内部にボイド802が残存する可能性がある。しかしながら、素子分離トレンチ502の第2

の底面幅A6を、従来と比較して1.3～1.5倍ほど大きく形成できるので、電流に対する素子分離領域の耐圧性を十分確保することが可能となる。一方、SOG膜を使用すると、素子分離トレンチ内にボイドを生ずることなく埋め込むことができるが、誘電率が低いので、トレンチの底面幅の値をTEOS膜やHDP膜を使用した場合よりも所定の比率で大きくする必要がある。

【0044】次に、図2(e)に示すように、シリコン窒化膜302上に形成されたシリコン酸化膜702をウェットエッティング及びCMP法で、シリコン基板201の表面とほぼ同位置まで除去する。

【0045】次に、図2(f)に示すように、シリコン窒化膜302、シリコン酸化膜702を通常のウェットエッティング法で順次除去して表面を平坦化し、STI法を用いた素子分離領域を形成する。

【0046】ここで図示はしないが、ソース、ドレン及びゲート電極等からなる半導体素子は、この素子分離領域によって囲まれた領域内に通常の工程で形成される。

【0047】本実施の形態では、第1の実施の形態と同様の理由で、基板表面付近の深さd3までのトレンチを順テーパー状に形成しており、ボイド等の欠陥を生ずることなく絶縁膜を埋め込むことができる。これより、前述したようなCMP等の平坦化工程を経ても、ゲート配線等と接触する可能性の高い領域にデバイス特性に影響を与えるほどのティボットを発生させることはない。さらに、素子分離トレンチ502において、開口幅A4が第1の底面幅A5に対して1.15倍以上であるとき絶縁性物質の埋め込み精度が良くなり、第2の底面幅A6が第1の底面幅A5の1.15倍程度であるとき、電流に対する素子分離領域の耐圧性が最も良くなることが分かった。

【0048】また、本実施の形態では、窒素を含む第1のエッティングガスを用いており、前述した理由から順テーパー状の領域のエッティング精度をさらに高めることができる。従って、精度良く形成されたこの順テーパー状の領域をマスクにして、窒素を含まない第2のエッティングガスでオーバーハング状の領域を精度良く形成することが可能となる。

【0049】尚、本実施の形態では、第1の実施の形態と同様に、素子分離トレンチのd3からd4までの領域をオーバーハング状に形成する場合に加え、エッティング条件を調節して図5に示すように垂直状に形成してもよい。

【0050】また、第1の実施の形態と同様に、本実施の形態で用いた塩素系のエッティングガスに代えて、HBr、SF₆及びO₂を主成分の一例とするフッ素系の混合ガスを使用してシリコン基板102のエッティングを行っても、同様に精度良く素子分離領域用のトレンチを形成することができる。

【0051】(第3の実施の形態) 本実施の形態を、CMOS型半導体装置の製造方法を例にとって説明を行う。ここでは、ウエル内に形成される素子分離トレンチとウエル間に形成されるウエル分離トレンチの形成方法を例にとり、図3(a)～(f)を用いて説明を行う。

【0052】尚、図3(a)～(f)は、ウエル内の素子分離トレンチ及びウエル間に形成されるウエル分離トレンチの長さ方向に垂直な方向の断面図を表すものである。

【0053】本実施の形態では、ウエル内に形成される素子分離領域用のトレンチとウエル間を分離するウエル分離領域用のトレンチを、同時にシリコン基板内に形成する。

【0054】まず、シリコン基板103上に、熱酸化法によって膜厚約6nmのシリコン酸化膜203を形成する。続いて、CVD法を用いて膜厚約100nmのシリコン窒化膜303と膜厚約100nmのシリコン酸化膜403を順次積層し、さらに、このシリコン酸化膜403上にフォトレジスト膜を塗布する。その後、リソグラフィー技術を用いてフォトレジスト膜のパターンを形成し、このパターンをマスクにして、RIE法でシリコン酸化膜403、シリコン窒化膜303及びシリコン酸化膜203をシリコン基板103が露出するまで順次エッチングする。このようにして、図3(a)に示すようにシリコン酸化膜203、403及びシリコン窒化膜303からなる積層のパターンを形成する。

【0055】次に、この積層のパターンのうちシリコン酸化膜403をマスクとして、素子分離トレンチ503とウエル分離トレンチ504をシリコン基板103内に同時に形成する。ここで、図3(b)に示すように、シリコン酸化膜203、403及び窒化シリコン膜303からなる積層のパターンは、シリコン基板103の表面と同位置で素子分離領域の開口幅A7が0.15μmに、同じくウエル分離領域の開口幅A10が0.4～0.6μmに形成されるように、各々所定の開口幅で形成される。その後、この積層のパターンのうちシリコン酸化膜403をマスクとして用いて、RIE法でシリコン基板103を所定の深さd5=100nmまでエッチングする。ここでは、エッチングガスとして、HBr、Cl₂及びO₂を含む塩素系の混合ガスを用いており、HBr、Cl₂及びO₂の各ガスの流量は、HBrを約150ml/min、Cl₂を約150ml/min、O₂を約20ml/minとする。また、圧力を約2.7Pa、基板温度を60℃、RIE装置のRF(高周波)出力を約500Wとする。この混合ガスは、被エッチング材であるシリコン基板103と反応しながら、蒸気圧の低い酸化物系の反応生成物であるSiBr_xCl_yO_zを生成させる。本実施の形態では、前述した条件でシリコン基板103をエッチングすると、シリコン基板103の表面から深さd5=100nm付近まで、素子分離トレンチ503及び

ウエル分離トレンチ504の側壁上に反応生成物からなる堆積物603を残存させることになり、これが深さd5の位置までの順テーパー領域の形成に寄与する。また、ウエル内に形成される素子分離トレンチ503とウエル間に分離するウエル分離トレンチ504は、ほぼ同じ深さd5=100nmまで形成する。ここで、順テーパー状の素子分離トレンチ503において、深さd5の位置にある底面の幅を第1の底面幅A8とし、その値を0.13μmとする。また、同じ深さd5の位置にある、順テーパー状のウエル分離トレンチ504の底面の幅を第1の底面幅A11とする。

【0056】尚、各々のトレンチの全体の深さ(=図3(c)のd6の位置)に応じて順テーパー領域のテーパー一角と深さを調整するためには、第1の実施の形態と同様に、テーパー一角はO₂の流量を変化させて反応生成物の生成量を制御すればよく、深さは、それに基づいて所定の時間ドライエッチングを行うことによって調整することができる。本実施の形態では、O₂の流量を0～20ml/minとすれば、順テーパー領域を深さ0nm～100nm(=d5の位置)の範囲で形成することができる。

【0057】この堆積物603が各トレンチの側壁部に付着した状態でシリコン基板103のエッチングが行われると、各トレンチの断面形状において、素子分離トレンチ503とウエル分離トレンチ504を順テーパー状に形成することができる。

【0058】ウエル間を分離するウエル分離トレンチ504の開口幅A10は、ウエル内の素子分離トレンチ503の開口幅A7より3～4倍ほど大きい。従って、被エッチング面積とエッチング時に発生する反応生成物の生成量(堆積物603の付着量と比例関係にある)の関係から、ウエル分離トレンチ504での反応生成物の量は素子分離トレンチ503でのそれよりも多く、順テーパー一角が小さくなる。

【0059】次に、前述した条件でエッチングを継続すると、シリコン基板103を深さ方向のみならず横方向にも等方的にエッチングすることができ、図3(c)に示すように、各トレンチを深さd5から深さd6(=350～400nm)までの領域において同時にオーバーハング状に形成することができる。従って、素子分離トレンチ503とウエル分離トレンチ504の形状において、シリコン基板103の表面から深さd5の位置までは順テーパー状に、深さd5の位置から深さd6の位置までは横方向に広がりを有するオーバーハング状に形成される。ここで、オーバーハング状の素子分離トレンチ503において、深さd6の位置にある第2の底面幅をA9とし、その値は0.15μm程度となる。また、オーバーハング状のウエル分離トレンチ504において、ほぼ同じ深さd6の位置にある第2の底面幅をA12とし、その値は0.15μm程度となる。

【0060】次に、ウェットエッチング法でシリコン酸化膜403と堆積物603を除去し、熱酸化法で素子分離トレンチ503とウエル分離トレンチ504の側壁の表面を薄く50nm程度酸化する。その後、図3(d)に示すように、素子分離トレンチ503とウエル分離トレンチ504の内部にシリコン酸化膜703を埋め込む。

【0061】次に、シリコン窒化膜303上に形成されたシリコン酸化膜703をウェットエッチング及びCMP法でシリコン基板103の表面付近まで除去する。その後、シリコン窒化膜303、シリコン酸化膜203を通常のウェットエッチング法で順次除去し、シリコン基板103の表面を平坦化する。このようにして、STI法を用いた素子分離領域及びウエル分離領域が形成される。ここで、シリコン酸化膜703は、第1及び第2の実施の形態と同様に、TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜、SOG(Spin-On-Glass)膜(例:有機シリコン酸化膜)等が使用される。TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜を使用すると、SOG膜よりも誘電率が高く、他の領域との導通を防止することができるが、多少埋め込み性が劣り、各トレンチ内部にボイド803が残存する可能性がある。しかしながら、従来と比較して、素子分離トレンチ503の第2の底面幅A9を1.3~1.5倍ほど大きく形成できるので、電流に対する素子分離領域の耐圧性を十分確保することができる。また、ウエル分離トレンチ504においても、従来と比較して第2の底面幅A12を1.2倍ほど大きく形成できるので、電流に対するウエル分離領域の耐圧性を十分確保できる。一方、SOG膜を使用すると、各トレンチ内にボイドを生ずることなく埋め込むことができるが、誘電率が低いので第2の底面幅A9、A12の値をTEOS膜やHDP膜を使用した場合よりも所定の比率で大きくする必要がある。

【0062】前述した従来の方法によれば、ウエル分離トレンチのテーパー角を90度に近づけると、絶縁膜を埋め込む際にウエル内の素子分離トレンチの内部にボイドが生じ、その後のCMP工程等を経て、半導体デバイスの素子分離領域内にティボットと呼ばれる小さな構が生じる。本実施の形態では、素子分離トレンチ503及びウエル分離トレンチ504の順テーパー領域にボイド等の欠陥を生ずることなく絶縁膜を埋め込むことができるので、素子分離領域及びウエル分離領域にデバイス特性に影響を与えるほどのティボットを発生させることはない。

【0063】尚、ここで図示はしないが、ソース、ドレイン及びゲート電極等からなる半導体素子は、この素子分離領域によって囲まれた領域内に通常の工程で形成される。

【0064】次に、マスクに用いるフォトレジスト膜1

10をシリコン基板103上に塗布形成する。露出したシリコン基板103にイオン注入法でN型の不純物As(砒素)またはP(リン)を導入して、図3(e)に示すように、所定の領域にN型のウエル領域111を形成する。その後、このN型のウエル領域111の全面を覆うようにフォトレジスト膜を塗布形成し、同様に、このフォトレジスト膜をマスクにして、露出したシリコン基板103にイオン注入法でP型の不純物B(ホウ素)を導入する。その後、熱処理を行い、N型のウエル領域111及びP型のウエル領域112の不純物をシリコン基板103内の所定の位置まで拡散させる。このようにして、図3(f)に示すN型のウエル領域111とP型のウエル領域112を形成する。尚、N型とP型のウエル領域を形成する順番は、特に規定する必要はない。

【0065】本実施の形態で説明したSTI法を用いれば、ウエル内の素子分離領域とCMOS半導体装置に必要なウエル間分離領域を同時に形成し、各絶縁分離領域の電流に対する耐圧性、トレンチ内の絶縁性物質の埋め込み精度を同時に満足させることができる。具体的には、素子分離トレンチ503において、開口幅A7が第1の底面幅A8に対して1.15倍以上のとき絶縁性物質の埋め込み精度が良く、第2の底面幅A9が第1の底面幅A8の1.15倍であるとき、素子分離領域の電流に対する耐圧性が最も良くなることが分かった。また、このように素子分離トレンチが形成された場合、同時に形成されるウエル分離トレンチ504においても、絶縁性物質の埋め込み精度及びウエル分離領域の電流に対する耐圧性が良くなる。

【0066】尚、実施の形態1及び2と同様の理由から、各トレンチをオーバーハング状にエッチングする場合に加え、エッチング条件を調節してd5からd6までの領域を、図5に示すように垂直状に形成してもよい。

【0067】また、本実施の形態に用いた塩素系のエッチングガスに代えて、HBr、SF₆及びO₂を主成分の一例とするフッ素系の混合ガスを使用してシリコン基板103のエッチングを行っても、同様に精度良く素子分離領域用のトレンチ及びウエル分離領域用のトレンチを形成することができる。

【0068】(第4の実施の形態) 本実施の形態は、第3の実施の形態と同様に、CMOS型半導体装置の製造方法に関するものである。ここでは、ウエル内に形成される素子分離領域とウエル間に形成されるウエル分離領域の形成方法を例にとり、これらを同時にシリコン基板内に形成する場合を図4(a)~(f)を用いて説明する。但し、ウエル内に形成される素子分離領域及びウエル間に形成されるウエル分離領域のトレンチを第3の実施の形態とは異なるエッチングガスを用いて形成する。

【0069】尚、図4(a)~(f)は、ウエル内素子分離トレンチ及びウエル間に形成されるウエル分離トレンチの長さ方向に垂直な方向の断面図を表す。

【0070】まず、シリコン基板104上に、熱酸化法によって膜厚約6nmのシリコン酸化膜204を形成する。続いて、CVD法を用いて膜厚約100nmのシリコン窒化膜304と膜厚約100nmのシリコン酸化膜404を順次積層し、このシリコン酸化膜404上にフォトレジスト膜を塗布する。その後、フォトリソグラフィー技術を用いてフォトレジスト膜のパターンを形成し、このフォトレジスト膜のパターンをマスクにして、RIE法でシリコン酸化膜404、シリコン窒化膜304及びシリコン酸化膜204をシリコン基板104が露出するまで順次エッチングする。このようにして、図4(a)に示すようにシリコン酸化膜203、403及びシリコン窒化膜303からなる積層のパターンを形成する。

【0071】次に、積層のパターンのうちシリコン酸化膜404をマスクとして、素子分離トレンチとウエル分離トレンチをシリコン基板104内に同時に形成する。ここで、図4(b)に示すように、シリコン酸化膜404のパターンの開口幅は、基板表面と同位置で素子分離用領域の開口幅A13が0.15μmに、同じくウエル分離用領域の開口幅A16が0.4~0.6μmに形成されるように、各々所定の大きさに形成される。そして、シリコン酸化膜404をマスクとして、RIE法でシリコン基板104を所定の深さd7=100nmまでエッチングする。ここでは、第1のエッチングガスとして、Cl₂、O₂及びN₂を含む塩素系の混合ガスを用いており、各ガスの流量は、Cl₂を約130ml/min、O₂を約5ml/min、N₂を約10ml/minとする。また、圧力を約5.3Pa、基板温度を60°C、RIE装置のRF(高周波)出力を約500Wとする。この混合ガスは、被エッチング材であるシリコン基板104と反応しながら、蒸気圧の低い窒化物系の反応生成物であるSi_{1-x}O_yN_zを生成させる。本実施の形態では、前述した条件でシリコン基板104をエッチングすると、シリコン基板104の表面から深さd7=100nm付近まで各トレンチの側壁面上に反応生成物からなる堆積物604を付着させることになる。この堆積物604が素子分離トレンチ505とウエル分離トレンチ506の側壁部に付着した状態でシリコン基板104のエッチングが行われると、図4(b)に示すように、断面形状において、各トレンチを順テーパー状に形成することができる。そして、この条件において、ウエル内に形成される素子分離トレンチ505とウエル間を分離するウエル分離トレンチ506は、ほぼ同じ深さd7=100nmまで形成される。

【0072】ここで、順テーパー状の素子分離トレンチ505において、深さd7の位置にある底面の幅を第1の底面幅A14とし、その値を0.13μmとする。また、同じ深さd7の位置にある、順テーパー状のウエル分離トレンチ504の底面幅を第1の底面幅A17とす

る。

【0073】尚、各々のトレンチの全体の深さ(=図4(c)のd8の位置)に応じて順テーパー領域のテープ一角と深さを調整するためには、第2の実施の形態と同様に、テープ一角はO₂またはN₂の流量を変化させて反応生成物の生成量を制御すればよく、深さは、それに基づいて所定の時間ドライエッチングを行うことによって調整することができる。本実施の形態では、O₂の流量を0~20ml/minに、またN₂の流量を5~20ml/minの範囲に各々設定すれば、深さ0nm~100nm(=d7の位置)まで順テーパー領域を形成することができる。

【0074】次に、エッチングの条件を変えて、引き続きシリコン基板104のエッチングを行う。ここでは、第2のエッチングガスとしてCl₂、O₂を含む混合ガスを用いる。この第2のエッチングガスは、N₂を成分に含まないので、シリコン基板104をエッチングする際に発生する反応生成物が各トレンチの側壁面上に堆積することを抑制する。これより、シリコン基板104を深さ方向のみならず横方向にも等方的にエッチングすることができ、図4(c)に示すように、各トレンチを深さd7=100nm以降の領域において、同時にオーバーハング状に形成することができる。従って、素子分離トレンチ505とウエル分離トレンチ506の形状において、シリコン基板104の表面から深さd7=100nmの位置までは順テーパー状に、深さd7の位置から深さd8(=350~400nm)の位置までは横方向に広がりを有するオーバーハング状に形成される。

【0075】ここで、オーバーハング状の素子分離トレンチ505において、深さd8の位置にある底面の幅を第2の底面幅A15とし、その値は0.15μm程度となる。また、オーバーハング状のウエル分離トレンチ506において、同じ深さd8の位置にある底面の幅を第2の底面幅A18とし、その値は0.15μm程度となる。

【0076】次に、ウェットエッチング法でシリコン酸化膜404と堆積物604を除去し、熱酸化法で素子分離トレンチ505とウエル分離トレンチ506の側壁の表面に薄く50nm程度の酸化膜を形成する。その後、図4(d)に示すように、素子分離トレンチ505とウエル分離トレンチ506の内部を埋め込むようにシリコン酸化膜704を形成する。

【0077】次に、シリコン窒化膜304上に形成されたシリコン酸化膜704を、ウェットエッチング及びCMP法でシリコン基板104の表面と同位置まで除去する。さらに、シリコン窒化膜304、シリコン酸化膜204を通常のウェットエッチング法で順次除去し、表面を平坦化する。このようにして、STI法を用いたウエル内の素子分離領域及びウエル間を分離するウエル分離領域が形成される。

【0078】ここで、シリコン酸化膜704は、第1乃至第3の実施の形態と同様に、TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜、SOG(Spin-On-Glass)膜(例:有機シリコン酸化膜)等が使用される。TEOS膜やHDP(High-Density-Plasma=高密度プラズマ)膜を使用すると、SOG膜よりも誘電率が高く、他の領域との導通を防止することができるが、多少埋め込み性が劣り、各トレンチ内部にボイド804が残存する可能性がある。しかしながら、素子分離トレンチ505の第2の底面幅A15を、従来と比較して1.3～1.5倍ほど大きく形成できるので、電流に対する素子分離領域の耐圧性を十分確保することができる。また、ウエル分離トレンチ506においても、従来と比較して第2の底面幅A18を1.2倍ほど大きく形成できるので電流に対するウエル分離領域の耐圧性も十分確保できる。一方、SOG膜を使用すると、各トレンチ内にボイドを生ずることなく埋め込むことができるが、誘電率が低いので第2の底面幅A15、A18の値をTEOS膜やHDP膜を使用した場合よりも所定の比率で大きくする必要がある。

【0079】前述した従来の方法では、ウエル分離トレンチのテーパー角を90度に近づけると絶縁膜を埋め込む際に内部にボイドが生じ、半導体デバイスの素子分離領域にティボットと呼ばれる小さな溝が生じる。しかしながら、本実施の形態では、素子分離トレンチ505及びウエル分離トレンチ506の順テーパー領域にボイド等の欠陥を生ずることなく絶縁膜を埋め込むことができるので、素子分離領域及びウエル分離領域にデバイス特性に影響を与えるほどのティボットを発生させることはない。

【0080】尚、ここで図示はしないが、ソース、ドレイン及びゲート電極等からなる半導体素子は、この素子分離領域によって囲まれた領域内に通常の工程で形成される。

【0081】次に、第3の実施例と同様に、マスク用のフォトレジスト膜113をシリコン基板104上に塗布形成し、露出したシリコン基板104にイオン注入法でN型の不純物As(砒素)またはP(リン)を導入する。このようにして、図4(e)に示すように、所定の領域にN型のウエル領域114を形成する。

【0082】次に、N型のウエル領域114の全面を覆うようにフォトレジスト膜を塗布形成し、このフォトレジスト膜をマスクにして露出したシリコン基板104にイオン注入法でP型の不純物B(ホウ素)を導入する。その後、熱処理を行い、N型のウエル領域114とP型のウエル領域115の不純物をシリコン基板104内の所定の位置まで拡散させる。このようにして、図4(f)に示すN型のウエル領域114及びP型のウエル領域115を形成する。尚、N型とP型のウエル領域を形成する順番は、特に規定する必要はない。

【0083】尚、本実施の形態では、第1乃至3の実施の形態と同様の理由から、各トレンチをオーバーハング状にエッチングする場合に加え、エッチング条件を調節してd7からd8までの領域を、図5に示すように垂直状に形成してもよい。

【0084】また、本実施の形態では、第2の実施の形態と同様に、窒素を含む第1のエッチングガスでシリコン基板とのエッチング選択比を確保しながら順テーパー領域を形成し、この順テーパー領域をマスクにして、窒素を含まない第2のエッチングガスでオーバーハング領域を精度良く形成している。従って、CMOS型半導体装置においても、第2の実施の形態と同様に、精度良く素子分離トレンチ及びウエル分離トレンチを形成することができる。

【0085】本実施の形態で説明したSTI法を用いれば、ウエル内素子分離とCMOS半導体装置に必要なウエル間の分離領域を同時に形成し、各絶縁分離領域の電流に対する耐圧性、トレンチ内の絶縁性物質の埋め込み精度を満足させることができる。具体的には、素子分離トレンチ505において、開口幅A13が第1の底面幅A14に対して1.15倍程度以上のとき絶縁性物質の埋め込み精度が良く、第2の底面幅A15が第1の底面幅A14の1.15倍程度であるとき、電流に対する素子分離領域の耐圧性が最も良くなることが分かった。また、このように素子分離トレンチが形成された場合、同時に形成されるウエル分離トレンチ506においても、絶縁性物質の埋め込み精度が良く、電流に対するウエル分離領域の耐圧性も良くなることが分かる。

【0086】また、第1乃至第3の実施の形態と同様に、本実施の形態で用いた塩素系のエッチングガスに代えて、HBr、SF₆及びO₂を主成分の一例とするフッ素系の混合ガスを使用してシリコン基板102のエッチングを行っても、同様に精度良く素子分離領域用のトレンチ及びウエル分離領域用のトレンチを形成することができる。

【0087】

【発明の効果】本発明によれば、素子分離領域またはウエル間を分離するウエル分離領域を構成するトレンチにおいて、ボイド等の欠陥を生ずることなく精度良く絶縁性物質を埋め込むことができ、電流に対する耐圧性も高めることができる。従って、半導体装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】図1(a)～(f)は、本発明の第1の実施の形態を示す工程の断面図

【図2】図2(a)～(f)は、本発明の第2の実施の形態を示す工程の断面図

【図3】図3(a)～(f)は、本発明の第3の実施の形態を示す工程の断面図

【図4】図4(a)～(f)は、本発明の第4の実施の

形態を示す工程の断面図

【図5】本発明の実施の形態を示す工程の断面図

【図6】図6 (a)～(e)は、従来技術を示す工程の断面図

【図7】従来技術を示す工程の断面図

【符号の説明】

シリコン基板 101、102、103、104、105

シリコン酸化膜 201、202、203、204、205

シリコン酸化膜 401、402、403、404、405

701、702、703、704、705

*シリコン塗化膜 301、302、303、304、305

素子分離トレチ 501、502、503、505

ウェル分離トレチ 504、505

堆積物 601、602、603、604、605

ボイド 801、802、803、804、805

ティボット 901

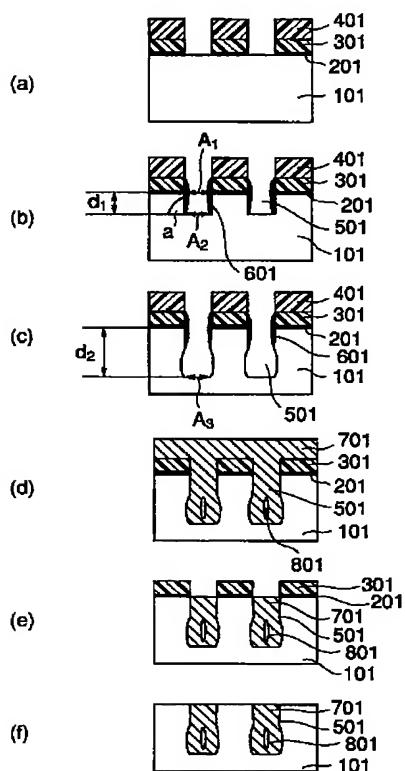
フォトレジスト膜 110、113

N型のウェル領域 111、114

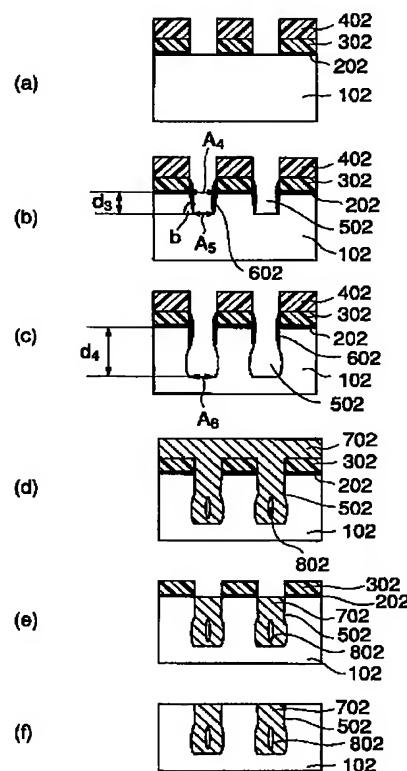
P型のウェル領域 112、115

*

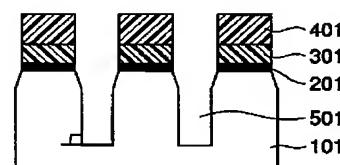
【図1】



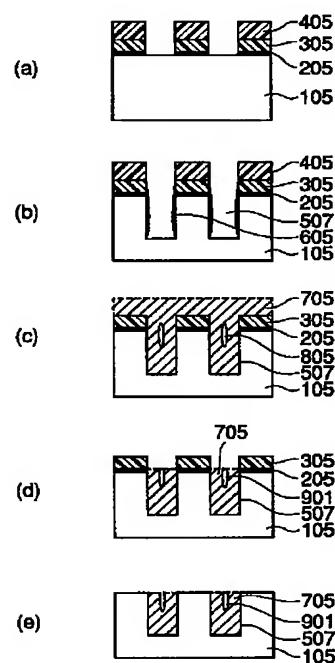
【図2】



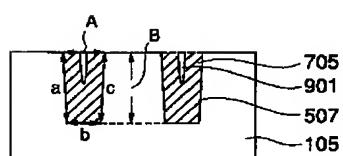
【図5】



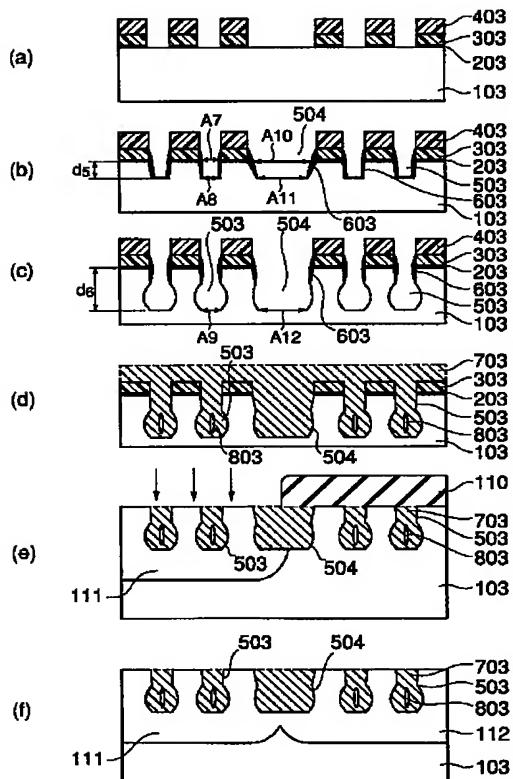
【図6】



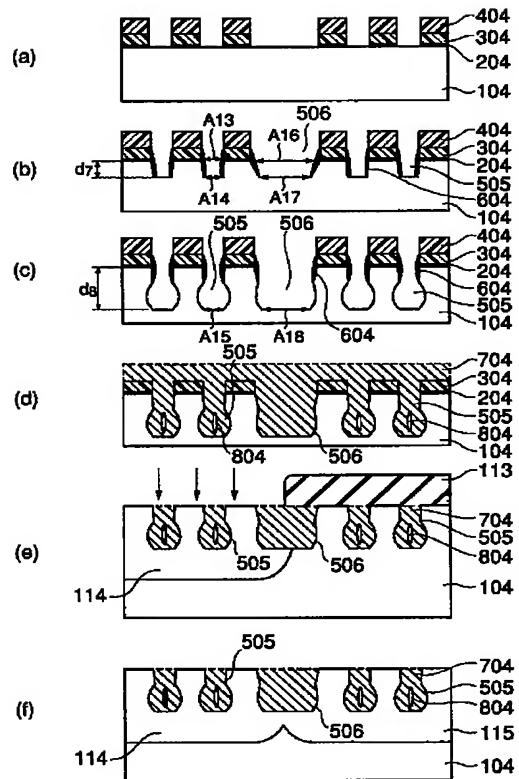
【図7】



【図3】



【図4】



フロントページの続き

(72) 発明者 本城 益司
東京都港区芝浦一丁目1番1号 株式会社
東芝本社事務所内

F ターム(参考) 5F004 AA05 CA02 CA03 CA04 DA00
DA04 DA18 DA25 DA26 DB01
DB03 DB07 EA06 EA07 EA13
EB04
5F032 AA39 AA40 AA44 BA01 BA02
CA03 CA17 CA20 DA02 DA10
DA23 DA24 DA25 DA26 DA78